

Booster-Installation für JURECA in Jülich

Im November 2017 wurde am Jülich Supercomputing Centre (JSC) die Installation des Booster-Moduls für das JURECA-System erfolgreich abgeschlossen. Das von Intel zusammen mit Dell EMC gelieferte System wurde für hochskalierende Applikationen entworfen. Die 1.640 Rechenknoten im Booster sind mit jeweils einem Prozessor vom Typ Intel Xeon Phi „Knights Landing“ mit einem integrierten Netzwerkinterface in das Omni-Path-Hochgeschwindigkeitsnetz und 96 GiB Hauptspeicher sowie zusätzlichen 16 GiB Multi-Channel-DRAM mit sehr hoher Bandbreite ausgestattet. Die auf Manycore basierende Architektur des Boosters ergänzt die Multicore-Komponente des JURECA-Clusters. Insgesamt kommt das System damit auf eine Spitzenleistung von 7,2 PetaFlop/s und konnte sich im November den Platz 29 auf der Top500-Liste sichern. Entsprechend des am JSC entwickelten Systemarchitekturkonzepts für „Modulares Supercomputing“ wird dieses heterogene Cluster-Booster-System unter Verwendung der ParaStation-Software-Suite als ein einziges System betrieben. Weitere Informationen: <http://www.fz-juelich.de/ias/jsc/jureca> (Kontakt: [Dorian Krause](mailto:Dorian.Krause@GCS), JSC@GCS)

TOP500

In der November-Ausgabe der TOP500-Liste führt China erstmals mit 202 gelisteten Systemen. Lagen die USA noch in der Juni-Ausgabe mit 169 Systemen vorn, so wurden sie inzwischen auf 143 Systeme zurückgedrängt und sind damit auf dem niedrigsten Stand seit der Einführung dieses Rankings der schnellsten Supercomputer der Welt vor 25 Jahren. Auf den Folgeplätzen liegen Japan mit 35, Deutschland mit 20, Frankreich mit 18 und Großbritannien mit 15 Systemen. Auch in Bezug auf die akkumulierte Performance belegt China mit 35,4 Prozent der TOP500-Flops den ersten Platz, die USA kommen auf 29,6 Prozent. Bei den Top-10-Systemen gab es im Vergleich zur Juni-Liste wenig Veränderung. Allerdings verweist der aufgerüstete Gyoukou-Supercomputer der Japan Agency for Marine-Earth Science and Technology das größte System der USA – das fünf Jahre alte Cray-XK7-System Titan des Departments of Energy (DOE) am Oak Ridge National Laboratory – auf den fünften Platz. Den High-Performance-Linpack von 19,14 PetaFlop/s erzielte Gyoukou auf einer Architektur aus PEZY-SC2-Beschleunigern und herkömmlichen Intel-Xeon-Prozessoren. Die 19.860.000 Kerne des Systems stellen den höchsten Grad an Parallelität dar, der je in der TOP500-

Rangliste der Supercomputer verzeichnet wurde. Die vorderen deutschen Systeme sind Hazel Hen (HLRS) auf Platz 19, JUQUEEN (JSC) Platz 22, JURECA (JSC) Platz 29, Mistral (DKRZ) Platz 42, sowie SuperMuc und SuperMuc II (LRZ) auf den Plätzen 44 und 45. Weitere Informationen: <https://www.top500.org/lists/2017/11/>.

Präzisionsdiagnostik für die Nase

Im Projekt Rhinodiagnost soll ein internationales Service-Netzwerk zur diagnostischen Unterstützung von HNO-Ärzten geschaffen werden. Neue Analysemethoden, die sich auf 3D-Modelle, numerische Simulationen der nasalen Atmung und auf Messungen mittels eines 4-Phasen-Rhinomanometers stützen, sollen neue diagnostische Dienste zur Verfügung stellen und den Weg zur personalisierten Medizin ebnen. Ziel ist es, niedergelassenen HNO-Ärzten und Krankenhäusern mit Hilfe dieser Werkzeuge die Entwicklung von individuell auf den Patienten zugeschnittenen Operationsstrategien zu ermöglichen, um minimal-invasive Modifikationen der nasalen Anatomie zur Linderung von Atemwegsbeschwerden zu planen. Hierzu arbeiten das Aerodynamische Institut der RWTH Aachen und das JSC mit den marktführenden Medizintechnik-Unternehmen Sutter Medizintechnik GmbH und Med Contact GmbH sowie der Angewandte Informationstechnik Forschungsgesellschaft mbH zusammen. Das Projekt wird für drei Jahre vom deutschen BMWi und vom österreichischen BMWFV gefördert. Weitere Informationen: <http://www.rhinodiagnost.eu> (Kontakt: [Andreas Lintermann](mailto:Andreas.Lintermann@Aerodyn.rwth-aachen.de), Aerodynamisches Institut, RWTH Aachen University)

Task-Parallelisierung mit geringem Overhead

Um die Ressourcennutzung und Parallelisierung im HPC zu erhöhen, ist Task-Parallelisierung ein zunehmend wichtiger Faktor. Generell ist jedoch der Overhead für das Task-Management so hoch, dass nur grob-granulare Tasks ausgeführt werden können. Mit dem durch das BMBF für drei Jahre geförderten Verbundprojekt „Entwicklung eines task-basierten Programmiermodells mit entsprechender Ausführungsumgebung“ (ProThOS) gehen die Universität Ulm, das Deutsche Forschungszentrum für Künstliche Intelligenz GmbH (DFKI) und die Brandenburgische Technische Universität Cottbus-Senftenberg einen Schritt weiter: In ihrem Ansatz sollen Tasks durch die direkte Verwaltung im Betriebssystem als Threads gehandhabt werden. Das zuvor ebenfalls über eine BMBF-Förderung entwickelte Betriebssystem MyThOS kann dabei Thread-Manage-

ment-Zeiten erzielen, die 5 bis 20 Mal schneller sind als Standard-Linux. Durch diese effiziente Ressourcen-Verwaltung können auch fein-granulare Tasks parallelisiert werden. Um die Herausforderungen bei der Programmierbarkeit zu adressieren, nutzt das ProThOS-Team ein Programmiermodell auf Basis von anyDSL, das Abhängigkeiten identifiziert und in Datenfluss orientierte Tasks unterschiedlicher Granularität überführt. Weitere Informationen: <https://manythreads.github.io/prothos> (Kontakt: Lutz Schubert, IOMI, Uni Ulm)

Codegenerierung für portable Effizienz

Das Projekt „Hardware- and Performance-aware Code-generation for Computational Science and Engineering“ (HPC²SE) wird seit Januar 2017 für drei Jahre vom BMBF gefördert. Effiziente numerische Verfahren sind ein grundlegendes Werkzeug für ambitionierte Forschungsfragen aus unterschiedlichen Wissenschaftsgebieten. Die Ausschöpfung der Möglichkeiten moderner Hardwareressourcen (z.B. Manycore-CPU's oder GPU's) bei der Umsetzung neuer Modelle erfordert jedoch ein extrem tiefes Expertenwissen sowohl bzgl. der Anwendung, als auch bzgl. der effizienten Programmierung. Ziel des Projektes ist es, Anwendungsexperten Werkzeuge bereitzustellen, die sie ermächtigen, ihre Modelle effizient für unterschiedliche Plattformen zu implementieren. Die Modelle werden in einer mathematiknahen domänenspezifischen Sprache (DSL) formuliert. Effizienz soll erreicht werden, indem aus dieser DSL hardwareabhängig unterschiedliche Code-Varianten erzeugt werden. Der generierte Code nutzt etablierte Simulations-Frameworks, um auf komplexe numerische Verfahren zurückgreifen zu können. Als Frameworks nutzt und entwickelt das Projekt DUNE und waLBerla. Zur einfachen Portierung auf unterschiedlichste Hardware wird der C++-Compiler PACXX entwickelt. In dem Verbundprojekt sind die Universitäten Münster, Heidelberg und Erlangen-Nürnberg beteiligt. Weitere Informationen: <https://www.uni-muenster.de/HPC2SE/> (Kontakt: Christian Engwer, Universität Münster)

International HPC Summer School 2018

Die nächste – inzwischen neunte – „International Summer School on HPC Challenges in Computational Sciences“ (IHPCSS) wird vom 8. bis 13. Juli 2018 in Prag stattfinden. Die Organisation wird wieder gemeinsam von PRACE für Europa, XSEDE für die USA, Compute/Calcul Canada für Kanada und RIKEN AICS für Japan getragen. Promovierende und Post-docs, die Hochleistungsrechnen für ihre Forschung einsetzen und an einer wissenschaftlichen Einrichtung in Europa, den USA, Kanada oder Japan tätig sind, können sich bewerben. Für Bewerber/-innen aus Europa sind wieder 30 Plätze vorgesehen. Die Auswahl erfolgt durch eine Begutachtung, die über alle Partnerorganisationen hinweg einheitlich

gestaltet ist. Im Lauf einer Woche werden in der Summer School wesentliche Aspekte zu den Herausforderungen in verschiedenen wissenschaftlichen Disziplinen sowie Techniken zur Programmierung, Visualisierung und Performance-Analyse auf dem aktuellen Stand der Wissenschaft behandelt. Mentoring, Poster-Sessions und weitere Networking-Möglichkeiten stimulieren den Informationsaustausch über Kontinentgrenzen hinweg. Für Studierende ist die Teilnahme einschließlich der Unterkunft und Verpflegung kostenfrei. Die Ausschreibung sowie weitere Informationen können über <http://www.ihpcss.org> eingesehen werden. (Kontakt: Hermann Lederer, MPCDF)

Rückblick: Die 7. HPC-Status-Konferenz

Am 4. und 5. Dezember erlebten mehr als einhundert Teilnehmer die diesjährige HPC-Status-Konferenz der Gauß-Allianz e.V. im neugebauten Schulungszentrum des HLRS. Im Programm waren 28 Vorträge über aktuelle Forschungsthemen aus verschiedenen Bereichen des Hochleistungsrechnens. Insbesondere die beiden Keynotes von Dr. Alexander Thieß von der Spicetech GmbH und Dr. Michael Bussmann vom Helmholtz-Zentrum Dresden Rossendorf unterstrichen dabei klar die Bedeutung der Fortschritte, Methoden und neuen Entwicklungen im HPC sowohl für die Wissenschaft als auch für die Wirtschaft. Dazu gehören sowohl der Umgang mit exorbitant großen Datenmengen, der Einsatz von Maschinellem Lernen, als auch Fortschritte im Bereich der Algorithmen. Eine sehr informative und hochinteressante Führung für die Teilnehmer/-innen durch die Rechnerräume des HLRS rundete die Veranstaltung ab. Die achte HPC-Status-Konferenz wird am 8. und 9. Oktober 2018 an der Technischen Fakultät in Erlangen stattfinden. (Kontakt: Jonas Stolle, GA)

Veranstaltungen

- 18.01.2018: [Introduction to Hybrid Programming in HPC](#), LRZ@GCS, Garching
- 22.-26.01.2018: [Parallel programming with MPI and OpenMP](#), BremHLR, Jacobs University Bremen
- 24.-25.01.2018: [Programming the new KNL Cluster at LRZ](#), LRZ@GCS, Garching
- 12.-16.02.2018: [Parallel Programming with MPI, OpenMP, and Tools](#), ZIH, TU Dresden
- 19.-23.02.2018: [Introduction to Computational Fluid Dynamics](#), Universität Siegen, Siegen