

Innovative Plattform für Smart-Data-Forschung

Führende Vertreter aus Industrie, Wissenschaft und Politik haben Anfang Januar am KIT den Startschuss für die Einrichtung der Forschungsplattform „Smart Data Innovation Lab“ (SDIL) gegeben. Durch die Bereitstellung einer Höchstleistungsinfrastruktur sowie von Daten aus Industrieprozessen werden wichtige Voraussetzungen für die Spitzenforschung im Bereich Big Data geschaffen. Durch die enge Zusammenarbeit aller Beteiligten können so neueste Forschungserkenntnisse effizient an die Industrie weitergegeben werden und zu entscheidenden Wettbewerbsvorteilen für europäische Unternehmen beitragen. Projekte werden sich zunächst auf die strategischen Forschungsfelder Industrie 4.0, Energiewende, Smart Cities und Personalisierte Medizin beziehen. Das SDIL wird am KIT betrieben, das sich mit dem am Steinbuch Centre for Computing (SCC) angesiedelten LHC-Tier1-Datenzentrum „GridKa“ und der „Large Scale Data Facility“ im Bereich Big Data bereits einen Namen gemacht hat. Neben dem KIT zählen Bayer, Bosch, Microsoft Deutschland, SAP, Siemens und die Software AG ebenso zu den Gründungspartnern wie das Deutsche Forschungszentrum für Künstliche Intelligenz, die Fraunhofer-Gesellschaft und das Forschungszentrum Jülich. Weitere Informationen: <http://www.sdil.de>.

TU Dresden gewinnt Deutschen Rechenzentrumspreis

Am 26. März erhielten das ZIH der TU Dresden und die Generalplaner der ARGE Informatik in Frankfurt am Main auf der „future thinking“ den Deutschen Rechenzentrumspreis 2014 in der Kategorie „Energie- und Ressourceneffiziente Rechenzentren“ für ihr Plenums-Konzept im Rechenzentrumsneubau der TU Dresden. Das Konzept kombiniert konträre Anforderungen: höchste Leistungsdichten und Abwärme-Nachnutzung für warmwassergekühlte Hochleistungsrechner, Skalierbarkeit und Leistungsdichte für klassische Luftkühlung, höchste Verfügbarkeit für sensible IT-Systeme, maximale Energieeffizienz sowie langfristig flexible Nutzbarkeit. Die architektonische Umsetzung eines grundlegend neuen Raumkonzeptes ermöglicht dank horizontaler Schichtung der Funktionszonen die Trennung von IT- und grober Infrastruktur für hohe Betriebssicherheit und Wartungsfreundlichkeit. Eine flexible Unterteilung der IT-Fläche bietet hohe Freiheitsgrade für haustechnische Installationen wie Wasserkühlung und sonstige Medien-

führungen inklusive Umbauten im laufenden Betrieb sowie die Möglichkeit zur Anpassung an sich wandelnde Betreiberbedürfnisse. Das neue Rechenzentrum soll als erster Bauabschnitt für das geplante Lehmann-Zentrum Ende 2014 in Betrieb genommen werden. Weitere Informationen: <https://www.tu-dresden.de/zih> (Kontakt: Daniel Hackenberg, ZIH)

Neuer SPEC-Benchmark für Hardwarebeschleuniger

Die High Performance Group der Standard Performance Evaluation Cooperation (SPEC) hat am 18. März eine neue Benchmark-Sammlung zur Vermessung von Hardware Beschleunigern herausgegeben. Diese Sammlung mit dem Namen SPEC ACCEL enthält sowohl OpenCL als auch OpenACC Benchmarks, die getrennt voneinander ausgeführt werden können. Damit können kontrollierte Messungen z. B. von Grafikprozessoren durchgeführt und unterschiedliche Hardwarelösungen miteinander verglichen werden. Zudem bieten die Benchmarks die Möglichkeit, die Softwareunterstützung wie unterschiedliche Compiler oder Treiber für die Beschleuniger gegenüberzustellen. Die Benchmarks können auch unter Anschluss eines Energiemessgeräts ausgeführt werden, so dass neben der reinen Ausführungszeit auch der Energieverbrauch zur Berechnung ausgewertet werden kann. Das ZIH der TU Dresden hat im Rahmen der Benchmarkentwicklung die Referenzplattform, gegen die alle Ergebnisse normalisiert werden, zur Verfügung gestellt und intensiv an der Erstellung der Ausführungsregeln mitgearbeitet. Darüber hinaus wurden durch das ZIH alle OpenCL Benchmarks so modifiziert, dass sie mit beliebiger Aufgabenverteilung ausgeführt werden können. Auch das IT Center der RWTH Aachen steuerte erste Messergebnisse bei. Weitere Informationen: <http://www.spec.org/accel> (Kontakt: Guido Juckeland, ZIH)

Applikationsmonitoring in HPC-Rechenzentren

Moderne Rechner besitzen ein hohes Potenzial für Energieeinsparungen, das durch optimierte Anwendungssoftware erschlossen werden kann. Vor diesem Hintergrund entwickelt das BMBF-Projekt „Ein flexibles Framework zur Energie- und Performanceanalyse hochparalleler Applikationen im Rechenzentrum“ (FEPA) Methoden und Programme, die es den Betreibern von Supercomputern

erlauben, ineffiziente Software zu erkennen und ihre Optimierung einzuleiten. Dies kann einerseits durch Eingreifen in die Simulationssoftware selbst, andererseits durch deren energieeffiziente Ausführung auf dem Supercomputer erreicht werden. Neben der Verwertung durch den Industriepartner NEC wird angestrebt, die Lösung an mehreren großen Rechenzentren innerhalb der Gauß-Allianz im produktiven Einsatz zu etablieren. Projektbeteiligte sind das Regionale Rechenzentrum Erlangen (RRZE), das Leibniz-Rechenzentrum der Bayerischen Akademie der Wissenschaften (LRZ), sowie NEC HPC Europe. Weitere Informationen: <https://code.google.com/p/fepa/> (Kontakt: Jan Treibig, RRZE)

Neues EU-Projekt DEEP-ER

Auf dem Weg zur kommenden Generation von Supercomputern, den Exascale-Rechnern, sind noch viele technische Fragen zu lösen. Das neue EU-Projekt „DEEP – Extended Reach“ (DEEP-ER), das im vergangenen Oktober seine Arbeit aufgenommen hat, nimmt zwei wichtige Herausforderungen in Angriff: den wachsenden Abstand zwischen Rechengeschwindigkeit und Bandbreite der Datenübertragung sowie den besseren Schutz vor Hardware-Ausfällen. An dem Projekt, das vom Forschungszentrum Jülich koordiniert wird, sind 14 Partner aus sieben EU-Ländern beteiligt. Bis 2016 stehen für DEEP-ER rund 6,4 Millionen Euro aus dem 7. Forschungsrahmenprogramm (FP7) der EU als Fördermittel zur Verfügung. DEEP-ER ergänzt und erweitert das seit zwei Jahren bestehende Projekt „Dynamical ExaScale Entry Platform“ (DEEP), eines der europäischen Forschungsprojekte zur Rechnerentwicklung der Exascale-Klasse. Es wird das Konzept durch neue Speichertechnologien, Hardware- und Netzwerkkomponenten verbessern, z. B. mit einem effizienten Ein-/Ausgabesystem. Außerdem wollen die Wissenschaftler einen Mechanismus integrieren, der die Ausfallsicherheit des Rechners erhöht. Um den Nutzen der Erweiterungen zu überprüfen, entwickeln und bauen die Partner einen Rechnerprototypen, auf dem sieben beispielhafte Anwendungen aus verschiedenen Fachgebieten getestet werden. Weitere Informationen: <http://www.deep-er.eu> (Kontakt: Sabine Höfler-Thierfeldt, JSC)

Exascale-Technologien in der Klimaforschung

Vom 17. bis 19. März trafen sich rund achtzig Entwickler und Nutzer von Klimamodellen, Vertreter von Rechenzentren sowie von Rechner- und Prozessorherstellern in Hamburg, um auf einem Workshop im Rahmen des FP7-Projektes „Infrastructure for the European Network for Earth System Modelling“ (IS-ENES) gemeinsam Lösungsansätze zu diskutieren. Im Fokus standen die Herausforderungen der zu erwartenden Rechnerentwicklung im Exascale-Bereich für Klimamodelle. Insbesondere wurden Projekte zur Portierung der Modelle auf

Beschleuniger vorgestellt, wobei bislang die Erfolge mit GPGPUs besser sind als mit den existierenden Xeon-Phi-Prozessoren. Ein wichtiger Aspekt ist die Performance-Evaluierung der Modelle im Vergleich untereinander und auf verschiedenen Rechnerarchitekturen. Es herrschte Einigkeit, dass hierbei der ganze Workflow inklusive Ein-/Ausgabe und Post-Processing berücksichtigt werden muss. Der Workshop wurde vom DKRZ gemeinsam mit dem italienischen Klimarechenzentrum CMCC organisiert. Es war der dritte Workshop zu diesem Thema, der führende Experten aus Europa und den USA zusammenbrachte. Inhalt, Ergebnisse und Atmosphäre wurden von den Teilnehmern als sehr gelungen empfunden, so dass mit einer Fortsetzung der Reihe zu rechnen ist. Weitere Informationen: <https://verc.enes.org/ISENES2/events/ws3> (Kontakt: Dr. Joachim Biercamp, DKRZ)

Parallelprogrammierung am IT Center Aachen

Seit 2001 finden im IT Center der RWTH Aachen Mitte März regelmäßig einwöchige HPC-Workshops zur Parallelen Programmierung statt. Die Kombination aus Vorträgen und praktischen Übungen erfreuen sich nicht nur innerhalb der RWTH wachsender Nachfrage, externe Teilnehmer bilden im Mittel 30% der Einschreibungen: ein deutliches Zeichen für das große Interesse am Thema Hochleistungsrechnen. Parallelisierung von Fortran- und C/C++-Programmen mit MPI und OpenMP inklusive Performance Tuning, Correctness Checking und Debugging werden ständig aktuell präsentiert: in diesem Jahr standen der neue OpenMP 4.0 Standard, Intel Xeon Phi sowie OpenACC auf NVIDIA-GPGPUs auf dem Programm. Der OpenMP-Tag war deutlich der beliebteste mit 85 Teilnehmern. Das IT Center stellt die Materialien auch dieses Jahr wieder ins Web, zum ersten Mal auch auf YouTube: „Parallel Programming in Computational Engineering and Science“ (PPCES). Weitere Informationen: <http://www.itc.rwth-aachen.de/ppces> (Kontakt: Dieter an Mey, IT Center RWTH Aachen)

Veranstaltungen

- 28.04.-30.04.2014: Intel MIC&GPU Programming Workshop (PATC Course), LRZ, Garching
- 05.05.-06.05.2014: Advanced GPU Programming, JSC, Jülich
- 19.05. - 20.05.2014: Training course „Introduction to the programming and usage of the supercomputing resources at Jülich“, JSC, Jülich
- 21.05.-23.05.2014: Parallel I/O and Portable Data Formats (PATC Course), JSC, Jülich
- 02.06.-12.06.2014: Training course „Programming in C++ for C programmers, JSC, Jülich